

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ryo HAGA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-146490	May 23, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

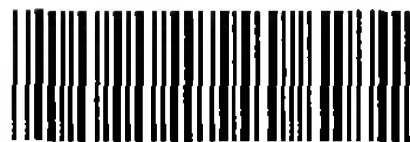
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月23日

出 願 番 号

Application Number:

特願2003-146490

[ST.10/C]:

[JP2003-146490]

出 願 人

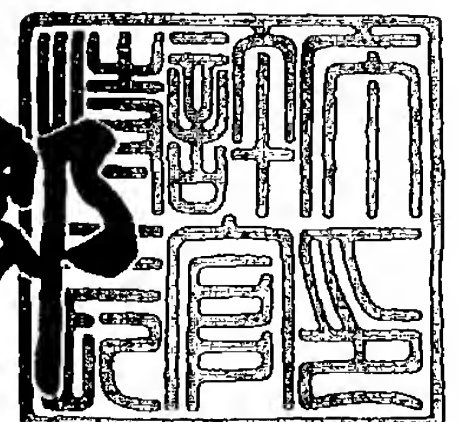
Applicant(s):

株式会社東芝

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049443

【書類名】 特許願

【整理番号】 A000205541

【提出日】 平成15年 5月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体メモリ

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 芳賀 亮

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 永井 健

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ

【特許請求の範囲】

【請求項 1】 メモリセルを有するメモリセルアレイと、前記メモリセルアレイに対して、データの読み／書きを行うためのセンスアンプと、前記メモリセルと前記センスアンプとを接続するためのビット線対と、前記ビット線対の電位をイコライズするためのビット線イコライザと、前記センスアンプの 2 つの電源ノードの電位をイコライズするためのセンスアンプイコライザとを具備し、前記センスアンプイコライザは、ゲート酸化膜の厚さが異なる複数の MOS トランジスタから構成されることを特徴とする半導体メモリ。

【請求項 2】 前記センスアンプイコライザは、前記複数の MOS トランジスタに対応して、論理振幅が異なる複数の制御信号により制御されることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 3】 前記複数の制御信号は、1 つの入力信号に基づいて生成されることを特徴とする請求項 2 に記載の半導体メモリ。

【請求項 4】 前記複数の制御信号のうちの少なくとも 1 つは、複数のレベルシフトにより生成されることを特徴とする請求項 3 に記載の半導体メモリ。

【請求項 5】 前記複数の MOS トランジスタは、前記 2 つの電源ノードを短絡する薄膜トランジスタと、前記薄膜トランジスタのゲート酸化膜よりも厚いゲート酸化膜を有し、前記 2 つの電源ノードにプリチャージ電位を与える厚膜トランジスタとを有することを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 6】 前記薄膜トランジスタは、前記センスアンプに隣接し、前記厚膜トランジスタは、前記ビット線イコライザに隣接することを特徴とする請求項 5 に記載の半導体メモリ。

【請求項 7】 前記薄膜トランジスタと前記厚膜トランジスタとの間、及び、前記センスアンプと前記ビット線イコライザとの間には、それぞれ、分離領域が配置されることを特徴とする請求項 6 に記載の半導体メモリ。

【請求項 8】 前記センスアンプは、薄膜トランジスタから構成され、前記ビット線イコライザは、前記薄膜トランジスタのゲート酸化膜よりも厚いゲート

酸化膜を有する厚膜トランジスタから構成されることを特徴とする請求項 7 に記載の半導体メモリ。

【請求項 9】 マトリクス状に配置された複数のメモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに対して、データの読み／書きを行うための複数のセンスアンプと、前記複数のメモリセルと前記複数のセンスアンプとを接続するための複数のビット線対と、前記複数のビット線対の電位をイコライズするための複数のビット線イコライザと、前記複数のセンスアンプのうちの少なくとも 1 つについて、2 つの電源ノードの電位をイコライズするためのセンスアンプイコライザとを具備し、前記センスアンプイコライザは、ゲート酸化膜の厚さが異なる複数の MOS トランジスタから構成されることを特徴とする半導体メモリ。

【請求項 10】 前記センスアンプイコライザは、前記複数のセンスアンプの間に配置されることを特徴とする請求項 9 に記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低電圧駆動タイプセンスアンプに関し、特に、ダイナミック RAM (以下、DRAM) に使用される。

【0002】

【従来の技術】

図 1 1 は、一般的な DRAM のメモリセルアレイ部のレイアウトの概略を示している。図 1 2 は、メモリセルアレイ部の回路例を示している。

【0003】

メモリセルアレイ 1 1 は、マトリクス状に配置された複数のメモリセルから構成される。メモリセルアレイ 1 1 上には、ロウ方向に延びる複数のワード線 WL とカラム方向に延びる複数のビット線 BL とが配置される。複数のビット線 BL は、通常、図 1 2 に示すように、2 本のビット線 BL t, BL c からなるビット線対を構成している。

【0004】

センスアンプS/Aは、メモリセルアレイ11に対して、データの読み/書きを行うために、ビット線対BLt, BLcに接続される。本例では、センスアンプS/Aは、フリップフロップ接続された2つのインバータ回路P1, N1, P2, N2から構成される。センスアンプS/Aの電源ノードPN1には、例えば、電位VBLHを電源ノードPN1に供給するためのPチャネルMOSトランジスタP3が接続される。センスアンプS/Aの電源ノードPN2には、例えば、接地電位VSSを電源ノードPN2に供給するためのNチャネルMOSトランジスタN3が接続される。

【0005】

センスアンプS/Aは、制御信号SEP, SENにより制御され、かつ、制御信号SEPが“L”、制御信号SENが“H”のときに、活性化される。

【0006】

センスアンプイコライザSAEは、センスアンプS/Aの2つの電源ノードPN1, PN2の電位をイコライズする機能を有し、NチャネルMOSトランジスタN4, N5, N6から構成される。NチャネルMOSトランジスタN4は、2つの電源ノードPN1, PN2を短絡する機能を有し、NチャネルMOSトランジスタN5, N6は、2つの電源ノードPN1, PN2にプリチャージ電位VBLを供給する機能を有する。

【0007】

センスアンプイコライザSAEは、制御信号SAEQLにより制御され、かつ、制御信号SAEQLが“H”のときに、2つの電源ノードPN1, PN2をプリチャージ電位VBLにイコライズする。

【0008】

ビット線イコライザBLEは、ビット線対BLt, BLcの電位をイコライズする機能を有し、NチャネルMOSトランジスタN7, N8, N9から構成される。NチャネルMOSトランジスタN7は、ビット線対BLt, BLcを短絡する機能を有し、NチャネルMOSトランジスタN8, N9は、ビット線対BLt, BLcにプリチャージ電位VBLを供給する機能を有する。

【0009】

ビット線イコライザBLEは、制御信号EQLにより制御され、かつ、制御信号EQLが“H”のときに、ビット線対BLt, BLcをプリチャージ電位VBLにイコライズする。

【0010】

なお、メモリセルアレイ部の構成などについては、例えば、特許文献1～4に記載されている。

【0011】

次に、図13の波形図を参照しながら、読み出し動作時における図12のメモリセルアレイ部の動作について説明する。

【0012】

まず、制御信号EQL, SAEQLの“H”によって、ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2が、それぞれ、プリチャージ電位VBLにイコライズされる。

【0013】

この後、制御信号EQL, SAEQLが“L”となり、ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2のイコライズが、それぞれ解除される。ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2は、プリチャージ電位VBLで、かつ、フローティング状態となる。

【0014】

選択されたワード線WLの電位が立ち上がると、ビット線対BLt, BLcの間には、選択されたワード線WLに繋がるメモリセルのデータに応じた電位差が発生する。ビット線対BLt, BLcに十分な電位差が生じたところで、センスアンプS/Aを活性化する。

【0015】

即ち、制御信号SEPを“L”にし、制御信号SENを“H”にすると、電源ノードPN1 (SAP) が“H”、電源ノードPN2 (bSAN) が“L”になり、センスアンプS/Aが活性化される。その結果、ビット線対BLt, BLcの間の電位差が増幅される。

【 0 0 1 6 】

この後、選択されたワード線WLの電位を立ち下げ、メモリセルに対するアクセスを断ち切る。また、制御信号SEPを“H”にし、制御信号SENを“L”にし、センスアンプS/Aを非活性化する。さらに、制御信号EQL, SAEQLを“H”にして、ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2に対するイコライズを実行する。

【 0 0 1 7 】

【特許文献1】

特開平5-291535号公報

【 0 0 1 8 】

【特許文献2】

特開2000-215676号公報

【 0 0 1 9 】

【特許文献3】

米国特許第6, 181, 618号明細書

【 0 0 2 0 】

【特許文献4】

米国特許第6, 285, 613号明細書

【 0 0 2 1 】

【発明が解決しようとする課題】

図12に示すように、ビット線イコライザBLE及びセンスアンプイコライザSAEは、共に、NチャネルMOSトランジスタのみから構成される。この場合、MOSトランジスタの閾値電圧に依存してイコライズ動作が遅くなる可能性がある。そこで、これを防ぐため、図13に示すように、通常、イコライザBLE, SAEを制御する制御信号EQL, SAEQLの“H”レベルには、ビット線対BLt, BLcに与える“H”レベル、即ち、VBLHよりも高い電源電位VCCを用いている。

【 0 0 2 2 】

また、図11及び図12に示すように、ビット線イコライザBLEは、通常、

センスアンプ S/A に隣接し、かつ、センスアンプ S/A ごと（ビット線対 BL_t ， BL_c ごと）に設けられるが、センスアンプイコライザ SAE は、複数のセンスアンプ S/A に対して 1 個だけ設けられる。このため、センスアンプイコライザ SAE は、複数のセンスアンプ S/A おきに設けられた専用領域内に配置される。

【 0 0 2 3 】

図 1 4 は、チップ内におけるセンスアンプ S/A 及びイコライザ BLE ， SAE のレイアウトの例を示している。

【 0 0 2 4 】

上述したように、イコライザ BLE ， SAE にかかる電源電圧 VCC は、センスアンプ S/A にかかる電圧 $VBLH$ よりも大きくなっている。このため、イコライザ BLE ， SAE を構成する MOS トランジスタのゲート酸化膜は、この電圧 VCC に耐えられる程度の十分な厚さを有していなければならない。一方、センスアンプ S/A には、電圧 $VBLH$ がかかるため、センスアンプ S/A を構成する MOS トランジスタのゲート酸化膜は、この電圧 $VBLH$ に耐えられる程度の厚さを有していれば足りる。

【 0 0 2 5 】

しかし、従来では、 VCC と $VBLH$ との電位差が小さいことなどの理由から、センスアンプ S/A 、ビット線イコライザ BLE 及びセンスアンプイコライザ SAE を構成する全ての MOS トランジスタのゲート酸化膜は、電源電圧 VCC に耐えられる程度の厚さを持つように、一律の厚さで形成されていた。また、このように、センスアンプ S/A を構成する MOS トランジスタのゲート酸化膜が厚くても、センスアンプ S/A に関しては、十分な駆動力を確保することができたため、特に、問題は生じなかった。

【 0 0 2 6 】

ところで、近年では、 LSI の微細化、低消費電力化に伴って、電源電圧 VCC は、低下する傾向にあるが、 $DRAM$ の場合、ワード線に与える電圧は、メモリセルの動作に密接に関係するため、低下させることができない。つまり、 $DRAM$ では、ワード線に与える電圧を生成する元となる電源電圧 VCC を低下させ

ることができない。結局、DRAMのメモリセルアレイ部においては、ビット線対BLt, BLcに与えるVBLHの値のみが低下する。

【0027】

その結果、VBLHとVCCとの電位差が広がることになり、センスアンプS/Aを、ゲート酸化膜が厚いVCCタイプMOSトランジスタのみから構成すると、センスアンプS/Aの駆動力が問題となってきた。

【0028】

この問題を解決するには、センスアンプS/Aには、ゲート酸化膜の厚さがVBLHに対応した薄いものを用い、イコライザBLE, SAEには、ゲート酸化膜の厚さがVCCに対応した厚いものを用いばよい。

【0029】

図15は、1組のビット線対に接続されるセンスアンプS/Aとビット線イコライザBLEのレイアウトの例を示している。

【0030】

厚膜Tr領域とは、ゲート酸化膜が電源電圧VCCに耐え得るに十分な厚さを有するVCCタイプMOSトランジスタから構成される領域のことである。薄膜Tr領域とは、ゲート酸化膜が電圧VBLH ($< VCC$) に耐え得る十分な厚さを有するVBLHタイプMOSトランジスタから構成される領域のことである。VBLHタイプMOSトランジスタのゲート酸化膜は、VCCタイプMOSトランジスタのそれよりも薄くなっている。

【0031】

ビット線イコライザBLEは、厚膜Tr領域内に形成される。これに対し、センスアンプS/Aは、ビット線対BLt, BLcに“H”レベルの電位VBLHが与えられても、十分な駆動力を確保できるように、薄膜Tr領域内に形成される。

【0032】

このように、ゲート酸化膜の厚さが異なる複数のMOSトランジスタがメモリセルアレイ部に配置される場合、異なる厚さのゲート酸化膜を有するMOSトランジスタの間、即ち、厚膜Tr領域と薄膜Tr領域との間には、これらMOSト

ランジスタを安全に製造するための分離領域が必要になる。この分離領域は、メモリセルアレイ部のMOSトランジスタが全て同じ厚さのゲート酸化膜から構成される場合には、存在しなかった領域である。

【 0 0 3 3 】

図 1 6 は、センスアンプイコライザ S A E のレイアウトの例を示している。

【 0 0 3 4 】

センスアンプイコライザ S A E は、厚膜 T r 領域 A 内に形成される。この時、センスアンプ S / A が配置される薄膜 T r 領域 B と、センスアンプイコライザ S A E が配置される厚膜 T r 領域 A とは、互いに隣接することになる。このため、これら領域の間には、ゲート酸化膜の厚さが異なる複数の MOS トランジスタを安全に製造するための分離領域が必要になる。

【 0 0 3 5 】

つまり、従来においては、ビット線イコライザ B L E とセンスアンプ S / A とを分離するために、カラム方向に一定幅を有する分離領域が必要になると共に、センスアンプイコライザ S A E とセンスアンプ S / A とを分離するために、ロウ方向に一定幅を有する分離領域が必要になる。

【 0 0 3 6 】

このように、ビット線対 B L t , B L c の “ H ” レベル (V B L H) の低下に依存して、センスアンプ S / A を V B L H タイプ MOS トランジスタから構成すると、メモリセルアレイ部内の分離領域が大きくなり、メモリセルアレイ部のレイアウトサイズが増大するという問題がある。

【 0 0 3 7 】

なお、メモリセルアレイ部のレイアウトサイズを増大を抑えるために、例えば、図 1 7 に示すように、センスアンプイコライザ S A E を V B L H タイプ MOS トランジスタのみから構成する例がある。

【 0 0 3 8 】

この場合、センスアンプイコライザ S A E を構成する全てのトランジスタを薄膜 T r 領域 B 内に配置することができるため、図 1 6 に示すようなロウ方向の分離領域が不要になる。しかし、この方式では、センスアンプイコライザ S A E を

構成するトランジスタのサイズが小さくなるために、イコライズに要する時間が増大する問題がある。

【 0 0 3 9 】

本発明の目的は、センスアンプを構成するトランジスタのゲート酸化膜の厚さとビット線イコライザを構成するトランジスタのそれとが異なっている場合においても、メモリセルアレイ部のレイアウトサイズが増大がなく、かつ、センスアンプイコライザの駆動力の低下も抑えることができる半導体メモリを提案することにある。

【 0 0 4 0 】

【課題を解決するための手段】

本発明の例に関わる半導体メモリは、メモリセルを有するメモリセルアレイと、前記メモリセルアレイに対して、データの読み／書きを行うためのセンスアンプと、前記メモリセルと前記センスアンプとを接続するためのビット線対と、前記ビット線対の電位をイコライズするためのビット線イコライザと、前記センスアンプの2つの電源ノードの電位をイコライズするためのセンスアンプイコライザとを備え、前記センスアンプイコライザは、ゲート酸化膜の厚さが異なる複数のMOSトランジスタから構成される。

【 0 0 4 1 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の例に関わる半導体メモリについて詳細に説明する。

【 0 0 4 2 】

1. 概要

近年、例えば、DRAMにおいては、LSIの動作電圧の低下により、センスアンプを構成するMOSトランジスタのゲート酸化膜の厚さは、ビット線イコライザを構成するMOSトランジスタのそれよりも薄くなっている。この場合、センスアンプイコライザを、同一の厚さのゲート酸化膜を有するMOSトランジスタのみから構成すると、上述したように、デザインルールの制約により、メモリセルアレイ部のレイアウトサイズが増大や、イコライズ速度の低下などを引き起

こす。

【 0 0 4 3 】

つまり、センスアンプイコライザを、ビット線イコライザと共に、厚膜T_r領域内に形成すると、分離領域の増大により、メモリセルアレイ部のレイアウトサイズが増大する。一方、センスアンプイコライザを、センスアンプと共に、薄膜T_r領域内に形成し、ロウ方向の分離領域をなくすと、センスアンプイコライザを形成する領域が狭くなり、トランジスタサイズが縮小され、結果として、イコライズ速度の低下を引き起こす。

【 0 0 4 4 】

そこで、本発明では、センスアンプイコライザを、ゲート酸化膜の厚さが異なる複数のMOSトランジスタ、具体的には、厚膜T_r領域内に形成されるMOSトランジスタと薄膜T_r領域内に形成されるMOSトランジスタとから構成することにより、メモリセルアレイ部のレイアウトサイズの増大の問題と、センスアンプに対するイコライズ速度の低下の問題とを同時に解決する。

【 0 0 4 5 】

2. 第1実施の形態

まず、本発明の第1実施の形態に関わる半導体メモリについて説明する。

【 0 0 4 6 】

図1は、本発明の第1実施の形態に関わる半導体メモリのメモリセルアレイ部のレイアウトを示している。図2は、図1の等価回路を示している。図3は、図2の記号の意味を示している。

【 0 0 4 7 】

本実施の形態の特徴は、センスアンプイコライザSAEが、ゲート酸化膜の厚さが異なる2種類のMOSトランジスタ、具体的には、厚膜T_r領域A内に形成されるVCCタイプMOSトランジスタと、薄膜T_r領域B内に形成されるVB_{LH}タイプMOSトランジスタとから構成される点にある。

【 0 0 4 8 】

これは、ビット線イコライザBLEが、厚膜T_r領域A内に形成されるVCCタイプMOSトランジスタから構成され、センスアンプS/Aが、薄膜T_r領域

B内に形成されるVBLHタイプMOSトランジスタから構成されることに対応させたものである。

【0049】

これにより、メモリセルアレイ部のレイアウトサイズの増大の問題と、センスアンプに対するイコライズ速度の低下の問題とを同時に解決する。

【0050】

以下、図1乃至図3を参照しながら、具体的に、メモリセルアレイ部のレイアウトについて説明する。

【0051】

センスアンプS/Aは、メモリセルアレイ11に対して、データの読み/書きを行うために、ビット線対BLt, BLcに接続される。センスアンプS/Aは、フリップフロップ接続された2つのインバータ回路P1, N1, P2, N2から構成される。センスアンプS/Aの電源ノードPN1には、例えば、電位VBLHを電源ノードPN1に供給するためのPチャネルMOSトランジスタP3が接続される。センスアンプS/Aの電源ノードPN2には、例えば、接地電位VSSを電源ノードPN2に供給するためのNチャネルMOSトランジスタN3が接続される。

【0052】

センスアンプS/Aは、制御信号SEP, SENにより制御され、かつ、制御信号SEPが“L”、制御信号SENが“H”のときに、活性化される。センスアンプS/Aは、VBLHにより動作するため、VBLHタイプMOSトランジスタのみから構成され、薄膜Tr領域B内に形成される。

【0053】

ビット線イコライザBLEは、ビット線対BLt, BLcの電位をイコライズする機能を有し、NチャネルMOSトランジスタN7, N8, N9から構成される。NチャネルMOSトランジスタN7は、ビット線対BLt, BLcを短絡する機能を有し、NチャネルMOSトランジスタN8, N9は、ビット線対BLt, BLcにプリチャージ電位VBLを供給する機能を有する。

【0054】

ビット線イコライザBLEは、制御信号EQLにより制御され、かつ、制御信号EQLが“H”のときに、ビット線対BLt, BLcをプリチャージ電位VBLにイコライズする。制御信号EQLの“H”レベルは、電源電位VCCであり、その“L”レベルは、接地電位VSSであるため、ビット線イコライザBLEは、VCCタイプMOSトランジスタのみから構成され、厚膜Tr領域A内に形成される。

【0055】

センスアンプイコライザSAEは、センスアンプS/Aの2つの電源ノードPN1, PN2の電位をイコライズする機能を有し、NチャネルMOSトランジスタN44, N55, N66から構成される。NチャネルMOSトランジスタN44は、2つの電源ノードPN1, PN2を短絡する機能を有し、NチャネルMOSトランジスタN55, N66は、2つの電源ノードPN1, PN2にプリチャージ電位VBLを供給する機能を有する。

【0056】

センスアンプイコライザSAEは、制御信号SAEQLにより制御され、かつ、制御信号SAEQLが“H”のときに、2つの電源ノードPN1, PN2をプリチャージ電位VBLにイコライズする。

【0057】

センスアンプイコライザSAEは、VBLHタイプMOSトランジスタ及びVCCタイプMOSトランジスタから構成される。

【0058】

即ち、VBLHタイプMOSトランジスタであるMOSトランジスタN44は、薄膜Tr領域B内に形成され、例えば、センスアンプS/Aに隣接して配置される。VCCタイプMOSトランジスタであるMOSトランジスタN55, N66は、厚膜Tr領域A内に形成され、例えば、ビット線イコライザBLEに隣接して配置される。

【0059】

MOSトランジスタN44は、VBLHタイプMOSトランジスタであるため、制御信号SAEQLの“H”レベルには、VBLH、その“L”レベルには、

VSSを用いる。

【0060】

次に、図4の波形図を参照しながら、読み出し動作時における図1乃至図3のメモリセルアレイ部の動作について説明する。

【0061】

まず、制御信号EQL, SAEQLの“H”によって、ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2が、それぞれ、プリチャージ電位VBLにイコライズされる。ここで、制御信号EQLの“H”レベルは、VCC、制御信号SAEQLの“H”レベルは、VBLH (<VCC) となっている。

【0062】

この後、制御信号EQL, SAEQLが“L”となり、ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2のイコライズが、それぞれ解除される。ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2は、プリチャージ電位VBLで、かつ、フローティング状態となる。

【0063】

選択されたワード線WLの電位が立ち上がると、ビット線対BLt, BLcの間には、選択されたワード線WLに繋がるメモリセルのデータに応じた電位差が発生する。ビット線対BLt, BLcに十分な電位差が生じたところで、センスアンプS/Aを活性化する。

【0064】

即ち、制御信号SEPを“L”にし、制御信号SENを“H”にすると、電源ノードPN1 (SAP) が、VBLH、即ち、“H”、電源ノードPN2 (bSAN) が、VSS (0V)、即ち、“L”になり、センスアンプS/Aが活性化される。その結果、ビット線対BLt, BLcの間の電位差が増幅される。

【0065】

この後、選択されたワード線WLの電位を立ち下げ、メモリセルに対するアクセスを断ち切る。また、制御信号SEPを“H”にし、制御信号SENを“L”

にし、センスアンプ S/A を非活性化する。さらに、制御信号 EQL, SAEQL を “H” にして、ビット線対 BLt, BLc 及びセンスアンプ S/A の電源ノード PN1, PN2 に対するイコライズを実行する。

【 0 0 6 6 】

このように、本発明の第 1 実施の形態では、センスアンプイコライザを、ゲート酸化膜の厚さが異なる複数の MOS トランジスタから構成することにより、メモリセルアレイ部のレイアウトサイズの増大の問題と、センスアンプに対するイコライズ速度の低下の問題とを同時に解決できる。

【 0 0 6 7 】

3. 第 2 実施の形態

次に、本発明の第 2 実施の形態に関わる半導体メモリについて説明する。

【 0 0 6 8 】

図 5 は、本発明の第 2 実施の形態に関わる半導体メモリのメモリセルアレイ部のレイアウトを示している。図 6 は、図 5 のメモリセルアレイ部の等価回路を示している。なお、図 3 のトランジスタ記号は、図 6 においても、そのまま当てはまる。

【 0 0 6 9 】

第 1 実施の形態（図 1 乃至図 3）では、センスアンプイコライザ SAE を、ゲート酸化膜の厚さが互いに異なる VBLH タイプ MOS トランジスタ N44 と VCC タイプ MOS トランジスタ N55, N66 とから構成する。その一方で、制御信号 SAEQL としては、VBLH 系の 2 値データ（VBLH, VSS）のみを用いる。

【 0 0 7 0 】

しかし、この場合、厚いゲート酸化膜を有する VCC タイプ MOS トランジスタ N55, N66 についても、VBLH 系の 2 値データ（VBLH, VSS）により制御されることになる。つまり、2 値データの “H” レベルの電位の値が小さいために、センスアンプイコライザ SAE 内の VCC タイプ MOS トランジスタ N55, N66 の駆動力が十分ではなくなる。

【 0 0 7 1 】

そこで、第2実施の形態では、この問題を解決する技術を提案する。即ち、第2実施の形態では、センスアンプイコライザSAEを制御する制御信号（イコライズ信号）を、それを構成するMOSトランジスタの種類に合わせて、2種類（SAEQL, SAEQLC）用意する。

【0072】

即ち、制御信号SAEQLは、VBLHタイプMOSトランジスタN44を制御するもので、“H”レベルは、VBLH、“L”レベルは、VSSとなる。また、制御信号SAEQLCは、VCCタイプMOSトランジスタN55, N66を制御するもので、“H”レベルは、VCC、“L”レベルは、VSSとなる。

【0073】

これにより、センスアンプイコライザSAEを、ゲート酸化膜の厚さが異なる複数種類のMOSトランジスタから構成しても、その駆動力を十分に確保することができる。

【0074】

なお、第2実施の形態におけるメモリセルアレイ部のレイアウト及び回路構成は、第1実施の形態におけるそれと同じであるため、ここでは、その説明については省略する。

【0075】

図7の波形図を参照しながら、読み出し動作時における図5及び図6のメモリセルアレイ部の動作について説明する。

【0076】

まず、制御信号EQL, SAEQL, SAEQLCの“H”によって、ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2が、それぞれ、プリチャージ電位VBLにイコライズされる。ここで、制御信号EQL, SAEQLCの“H”レベルは、VCC、制御信号SAEQLの“H”レベルは、VBLH (<VCC) となっている。

【0077】

この後、制御信号EQL, SAEQL, SAEQLCが“L”となり、ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2のイコ

ライズが、それぞれ解除される。ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2は、プリチャージ電位VBLで、かつ、フローティング状態となる。

【 0 0 7 8 】

選択されたワード線WLの電位が立ち上がると、ビット線対BLt, BLcの間には、選択されたワード線WLに繋がるメモリセルのデータに応じた電位差が発生する。ビット線対BLt, BLcに十分な電位差が生じたところで、センスアンプS/Aを活性化する。

【 0 0 7 9 】

即ち、制御信号SEPを“L”にし、制御信号SENを“H”にすると、電源ノードPN1 (SAP) が、VBLH、即ち、“H”、電源ノードPN2 (bSAN) が、VSS (0V)、即ち、“L”になり、センスアンプS/Aが活性化される。その結果、ビット線対BLt, BLcの間の電位差が増幅される。

【 0 0 8 0 】

この後、選択されたワード線WLの電位を立ち下げ、メモリセルに対するアクセスを断ち切る。また、制御信号SEPを“H”にし、制御信号SENを“L”にし、センスアンプS/Aを非活性化する。さらに、制御信号EQL, SAEQL, SAEQLCを“H”にして、ビット線対BLt, BLc及びセンスアンプS/Aの電源ノードPN1, PN2に対するイコライズを実行する。

【 0 0 8 1 】

このように、本発明の第2実施の形態では、センスアンプイコライザを、ゲート酸化膜の厚さが異なる複数のMOSトランジスタから構成することにより、メモリセルアレイ部のレイアウトサイズの増大の問題と、センスアンプに対するイコライズ速度の低下の問題とを同時に解決できる。しかも、センスアンプイコライザについては、それを構成するMOSトランジスタの種類に合わせて、複数の制御信号を用いているため、駆動力が低下することもない。

【 0 0 8 2 】

4. 第3実施の形態

図8及び図9は、本発明の第3実施の形態に関わる半導体メモリの制御信号発

生回路を示している。

【 0 0 8 3 】

第 3 実施の形態は、第 2 実施の形態に関わる半導体メモリを前提とする。この半導体メモリでは、センスアンプイコライザ S A E は、2 種類の制御信号 S A E Q L, S A E Q L C により制御される。

【 0 0 8 4 】

ところで、制御信号 S A E Q L の “H” レベルと制御信号 S A E Q L C の “H” レベルとの電位差が大きくなると、それらに揺らぎが生じた場合に、電位変化のタイミング (“L” → “H”, “H” → “L”) が大きくずれる。そこで、レベルシフタを用いて、このタイミングを制御する。

【 0 0 8 5 】

このように、レベルシフタにより、制御信号 S A E Q L, S A E Q L C の変化タイミングを制御することにより、V B L H のレベルや V C C のレベルが揺らいだときにも、2 つの制御信号 S A E Q L, S A E Q L C の間のスキューを低減できる。

【 0 0 8 6 】

5. デバイス構造

図 1 0 は、第 1 乃至第 3 実施の形態におけるメモリセルアレイ部のデバイス構造の概略を示している。

【 0 0 8 7 】

本例では、メモリセルは、トレンチキャパシタタイプとなっているが、当然に、他のタイプのメモリセル、例えば、スタックキャパシタタイプであってもよい。同図に示すように、厚膜 T r 領域 A 内に形成される高電圧タイプ N チャネル M O S トランジスタのゲート酸化膜 1 0 A は、薄膜 T r 領域 B 内に形成される低電圧タイプ N チャネル M O S トランジスタや低電圧タイプ P チャネル M O S トランジスタのゲート酸化膜 1 0 B よりも厚くなっている。

【 0 0 8 8 】

なお、この発明は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上記実施の形態に開

示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。
例えば、上記実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成要素を適宜組み合わせてもよい。

【 0 0 8 9 】

【発明の効果】

以上、説明したように、本発明によれば、センスアンプを構成するトランジスタのゲート酸化膜の厚さとビット線イコライザを構成するトランジスタのそれとが異なっている場合においても、メモリセルアレイ部のレイアウトサイズの増大がなく、かつ、センスアンプイコライザの駆動力の低下も抑えることができる。

【図面の簡単な説明】

【図 1】

第 1 実施の形態に関わるメモリセルアレイ部のレイアウトを示す図。

【図 2】

図 1 の等価回路を示す図。

【図 3】

図 2 の記号の意味を示す図。

【図 4】

第 1 実施の形態に関わるメモリセルアレイ部の動作を示す波形図。

【図 5】

第 2 実施の形態に関わるメモリセルアレイ部のレイアウトを示す図。

【図 6】

図 5 の等価回路を示す図。

【図 7】

第 2 実施の形態に関わるメモリセルアレイ部の動作を示す波形図。

【図 8】

第 3 実施の形態に関わる制御信号発生回路の例を示す図。

【図 9】

第 3 実施の形態に関わる制御信号発生回路の例を示す図。

【図 1 0】

各実施の形態に関わるメモリセルアレイ部のデバイス構造の例を示す図。

【図 1 1】

従来のメモリセルアレイ部のレイアウトの概要を示す図。

【図 1 2】

従来のメモリセルアレイ部の等価回路を示す図。

【図 1 3】

従来のメモリセルアレイ部の動作を示す波形図。

【図 1 4】

従来のメモリセルアレイ部のレイアウトの概要を示す図。

【図 1 5】

従来のメモリセルアレイ部のレイアウトの概要を示す図。

【図 1 6】

従来のメモリセルアレイ部のレイアウトの概要を示す図。

【図 1 7】

従来のメモリセルアレイ部のレイアウトの概要を示す図。

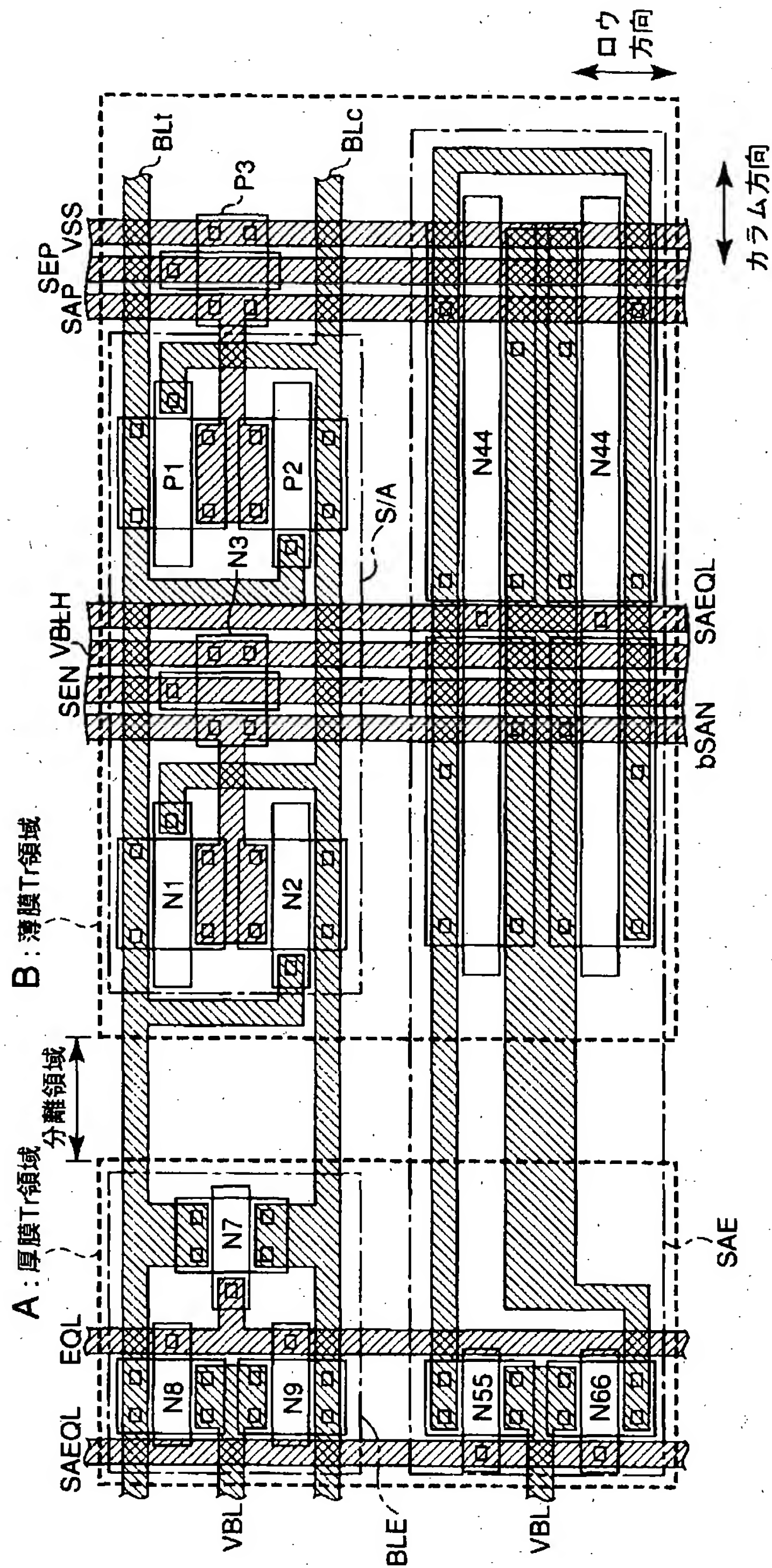
【符号の説明】

1 0 A, 1 0 B : ゲート酸化膜、 1 1 : メモリセルアレイ、 1 1 - 1 : p 型シリコン基板、 1 1 - 2 : セル n ウェル領域、 1 1 - 3 : セル p ウェル領域、 1 1 - 4 : n ウェル領域、 1 1 - 5 : p ウェル領域、 MC : メモリセル、 S / A : センスアンプ、 BLE : ビット線イコライザ、 SAE : センスアンプイコライザ、 P 1 ~ P 3 : P チャネル MOS トランジスタ、 N 1 ~ N 9 : N チャネル MOS トランジスタ。

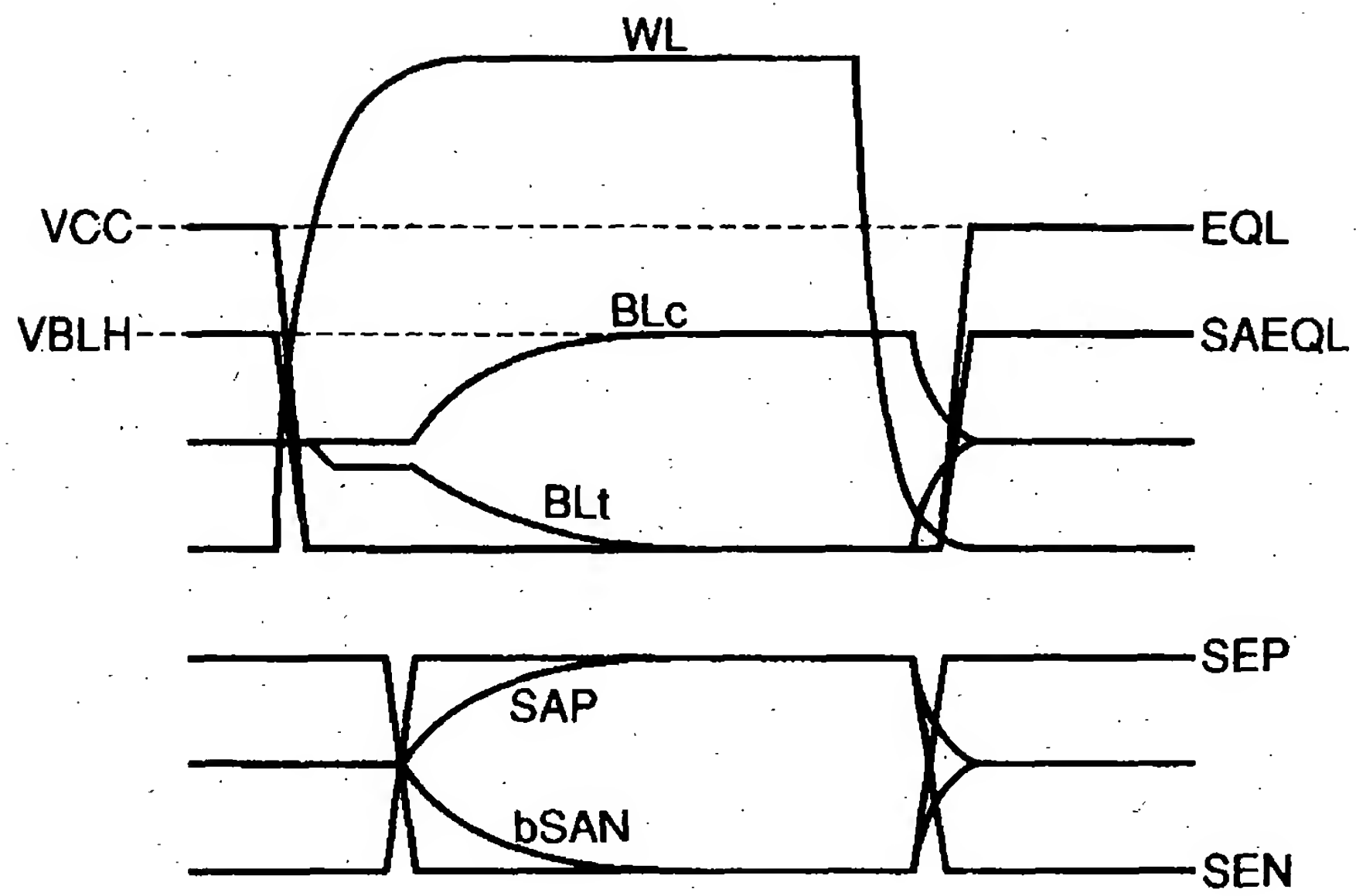
【書類名】

図面

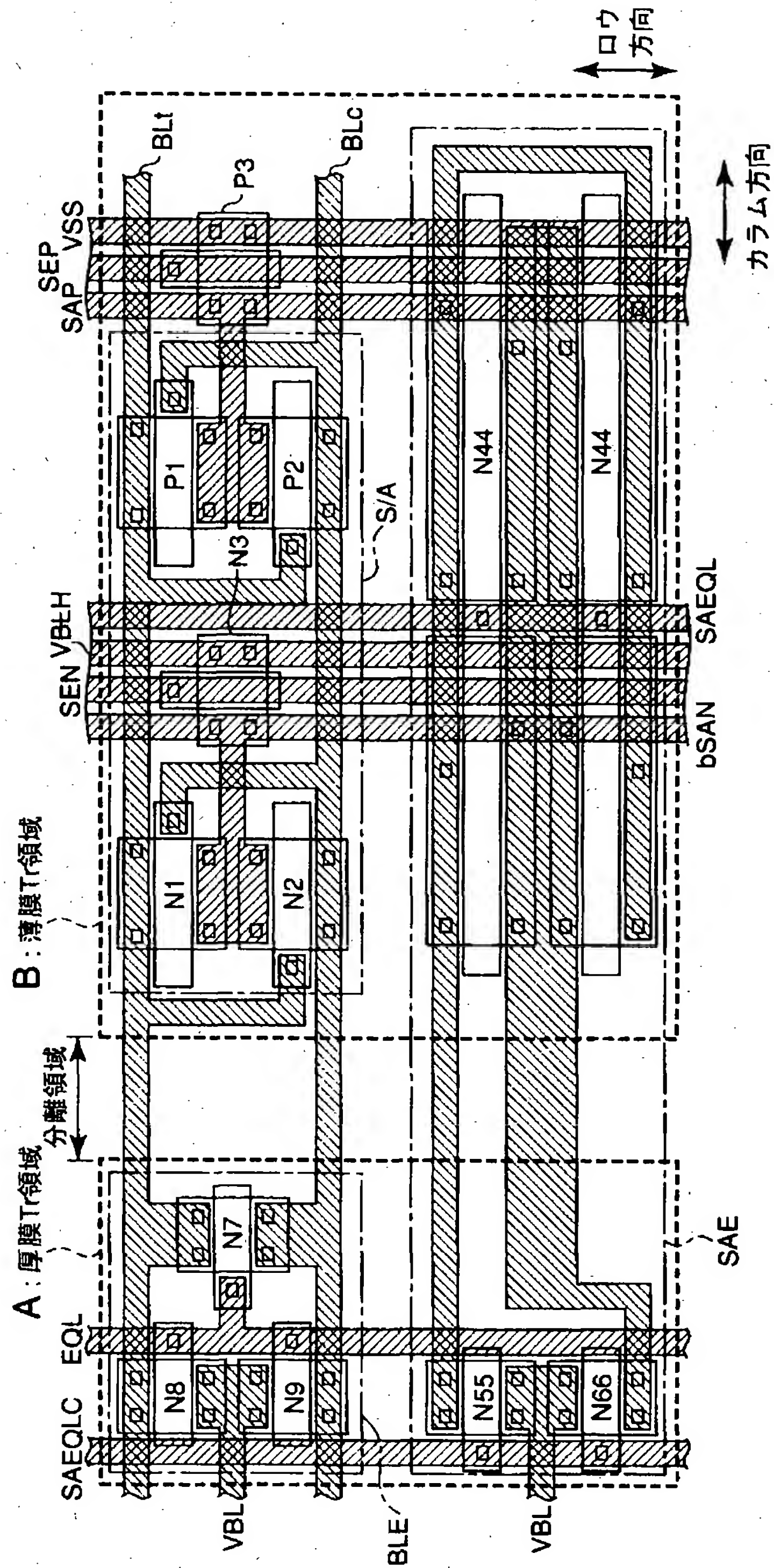
【図1】



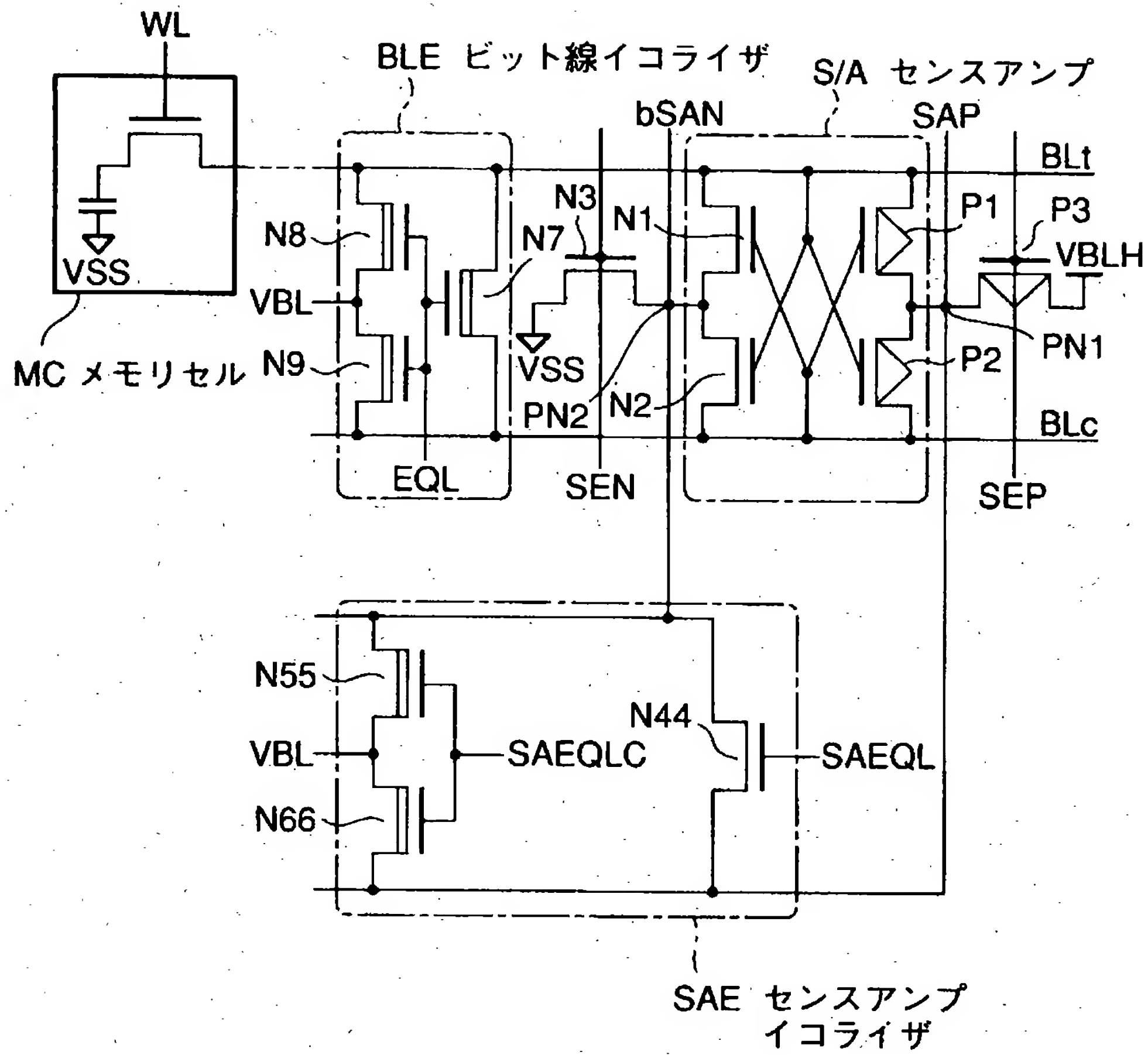
【図 4】



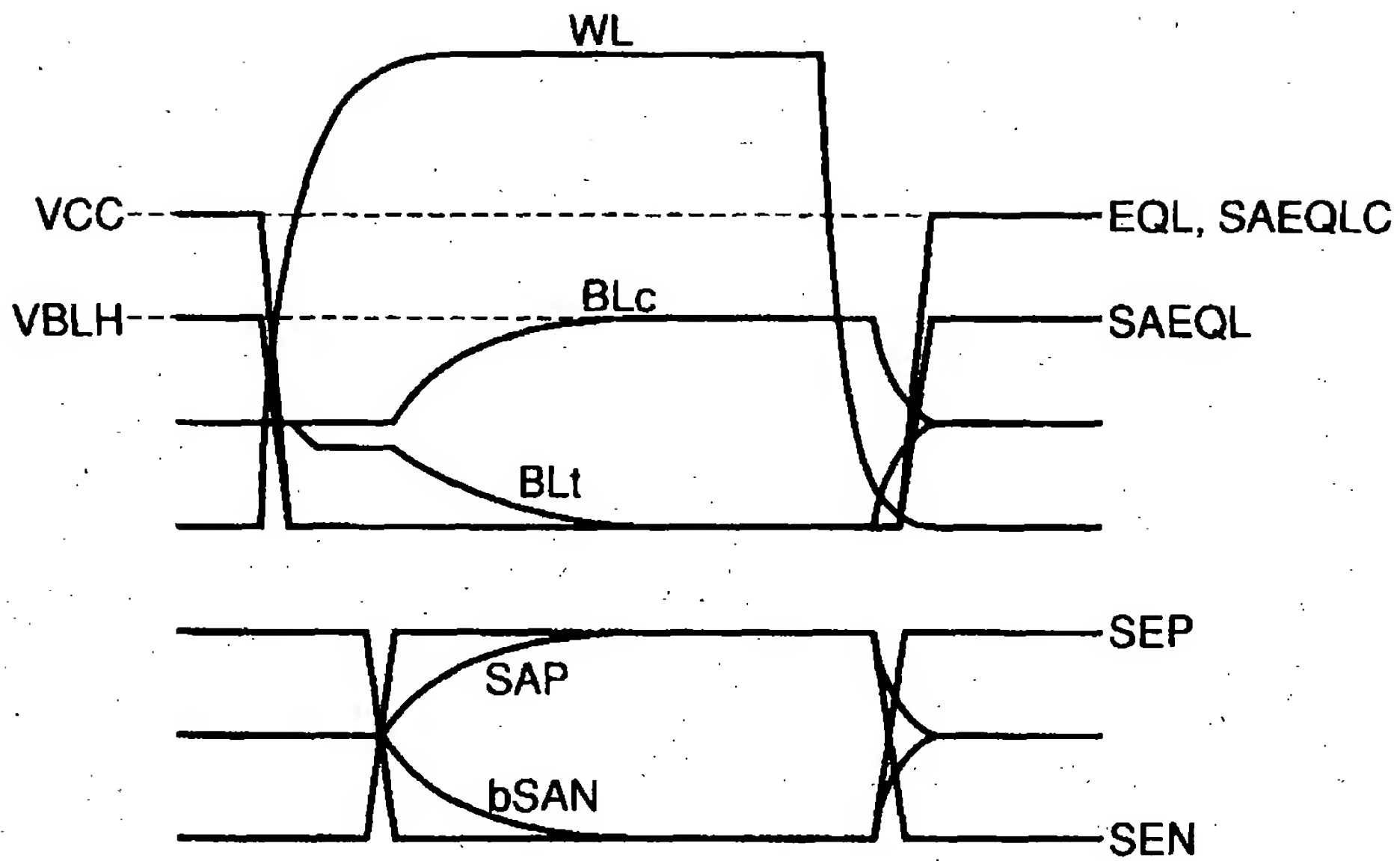
【図5】



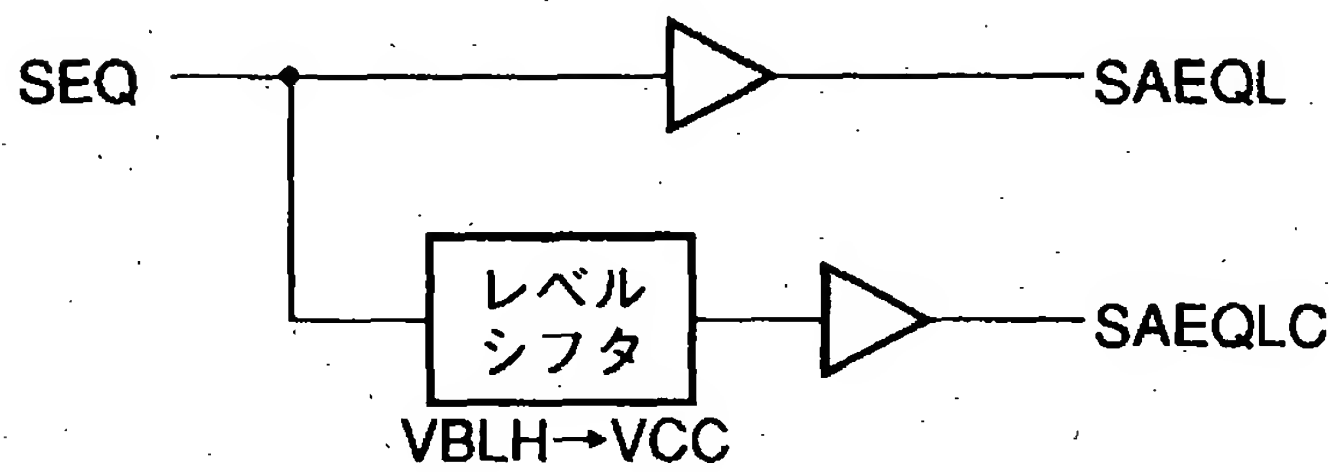
【図 6】



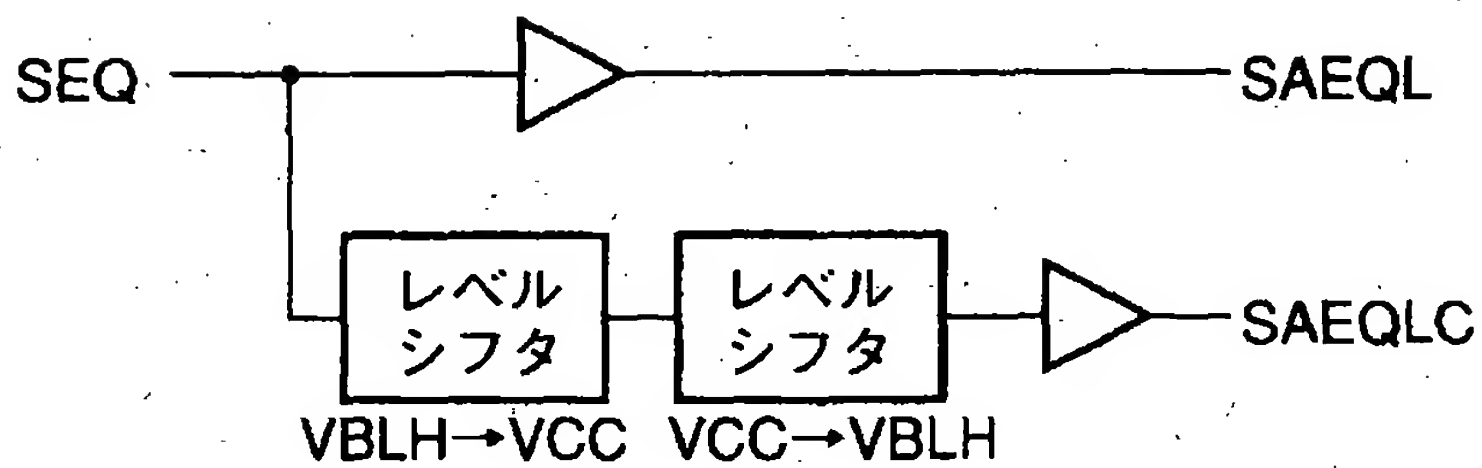
【図 7】



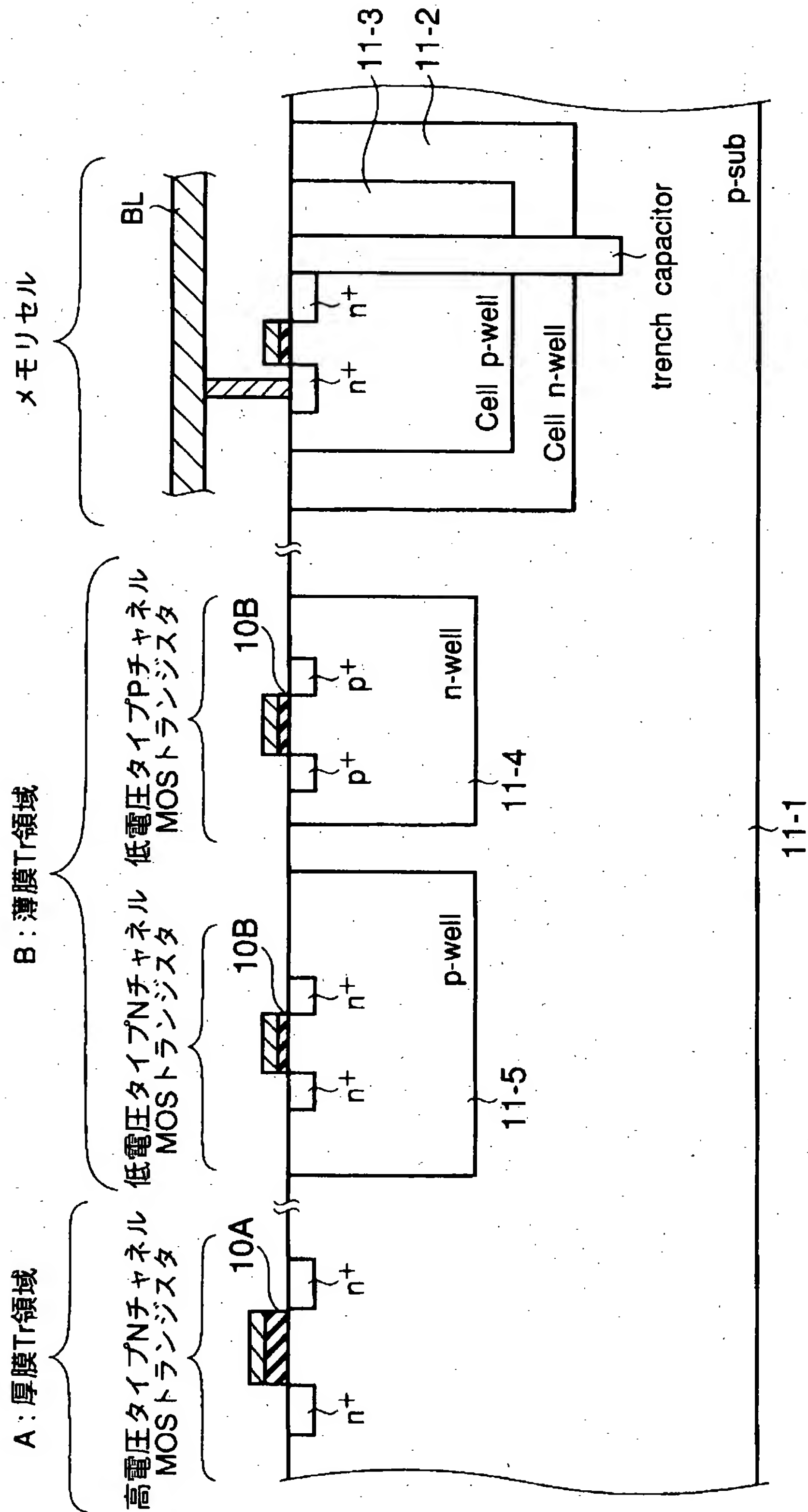
【図 8】



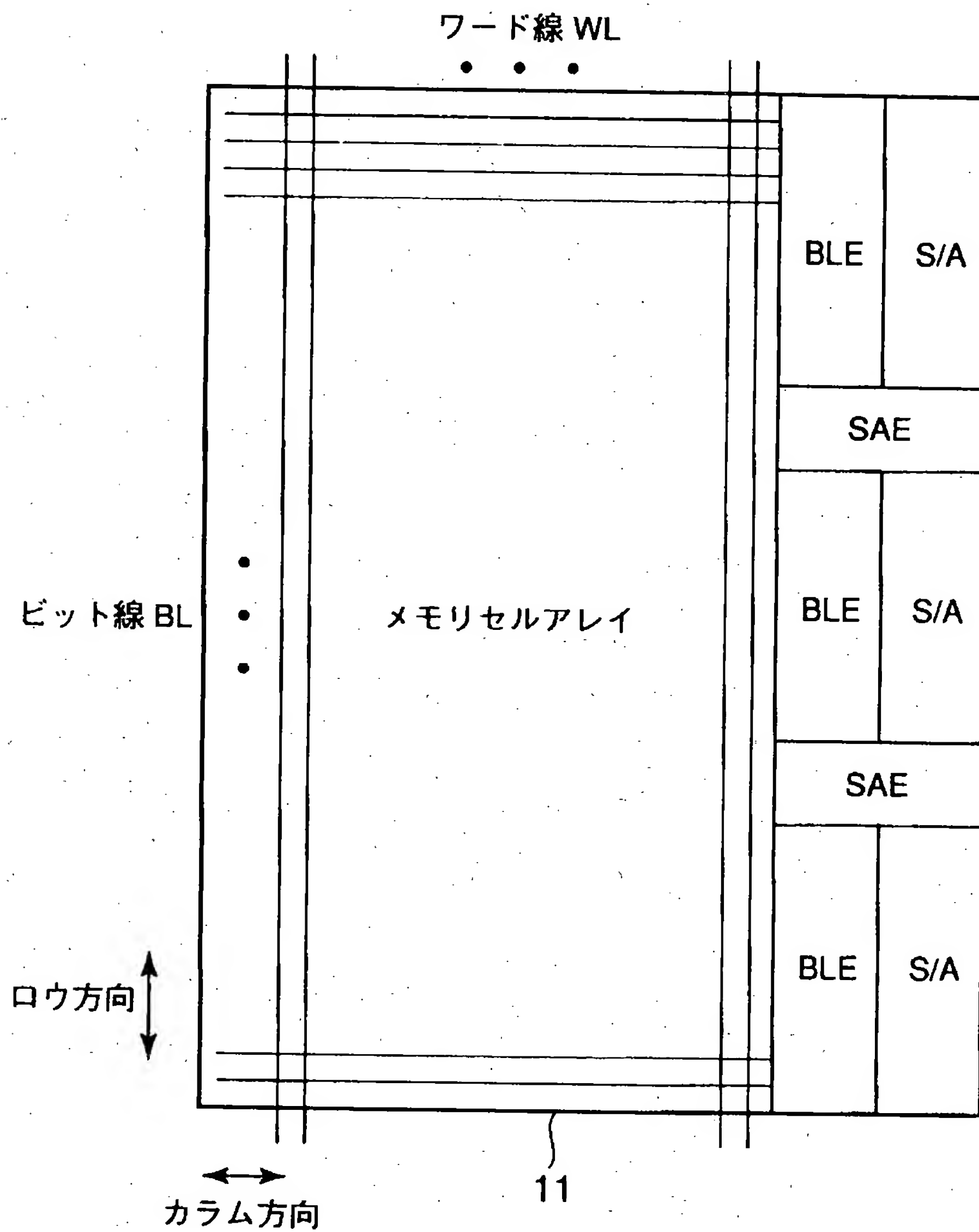
【図 9】



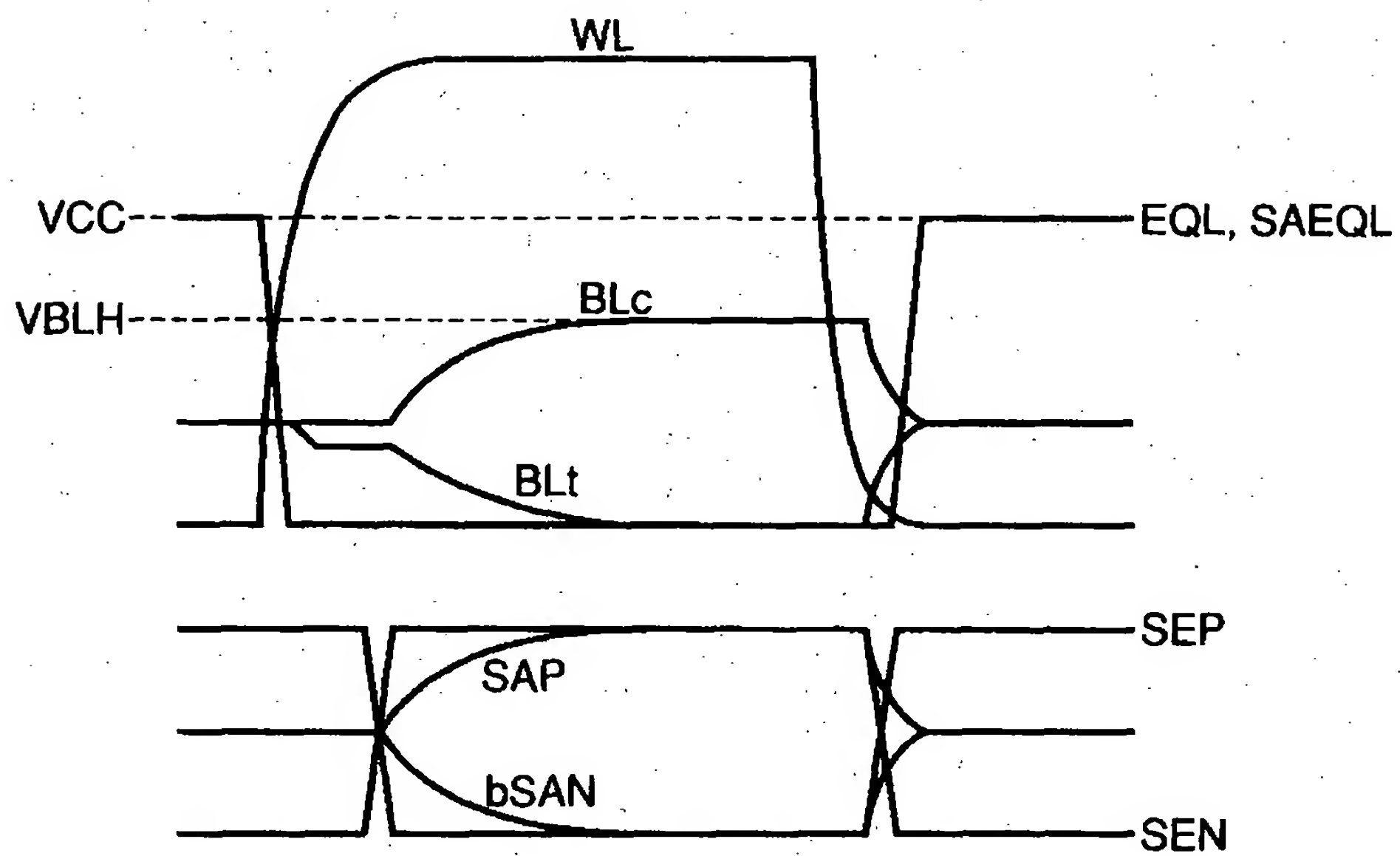
【図 10】



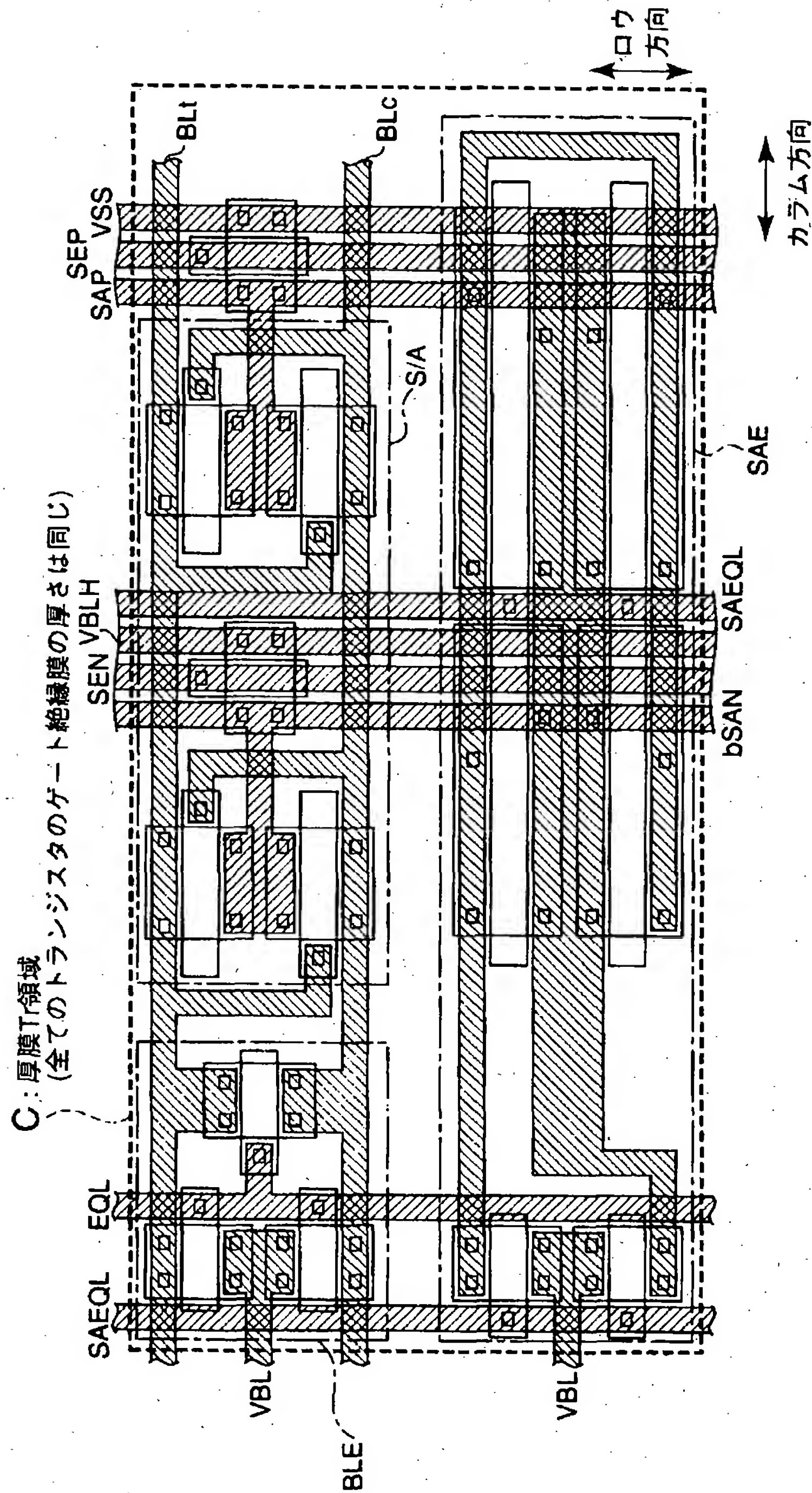
【図 1 1】



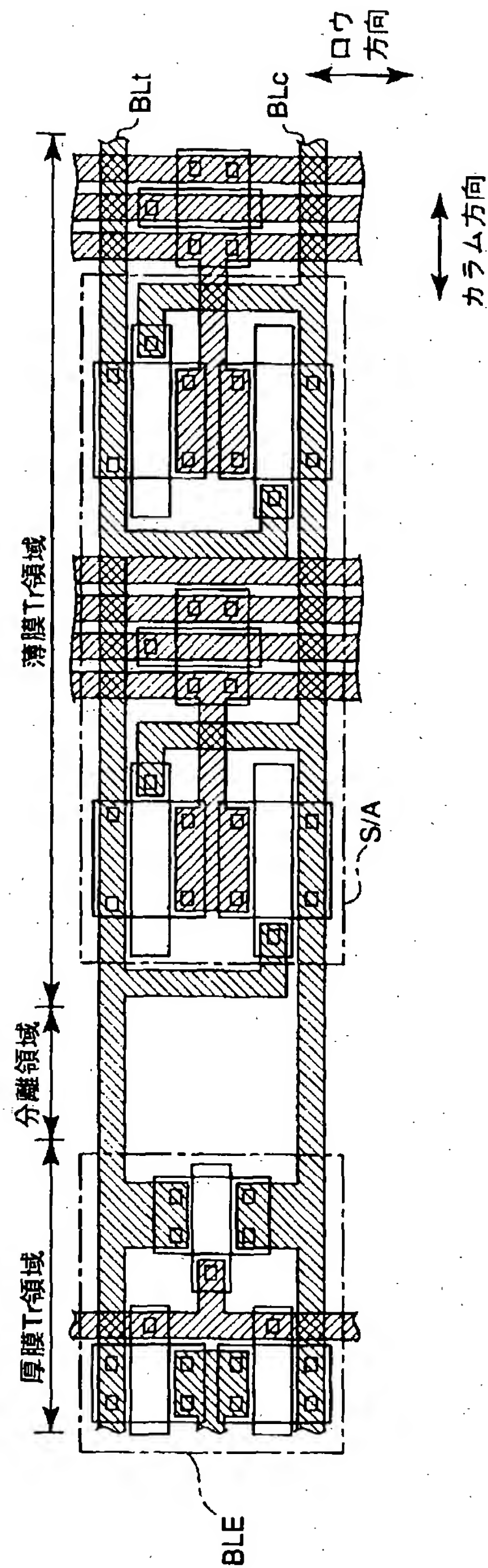
【図 13】



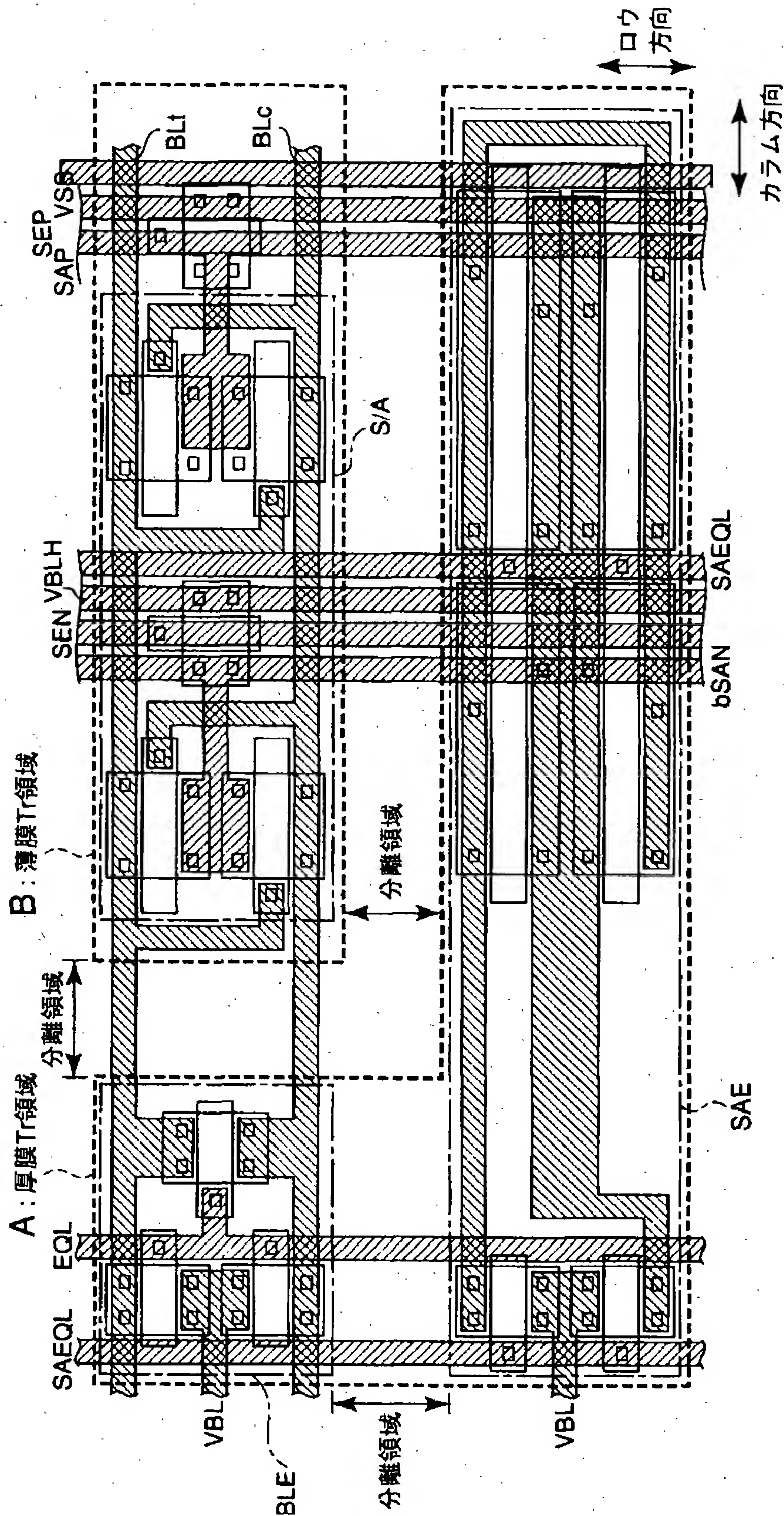
【図 1 4】



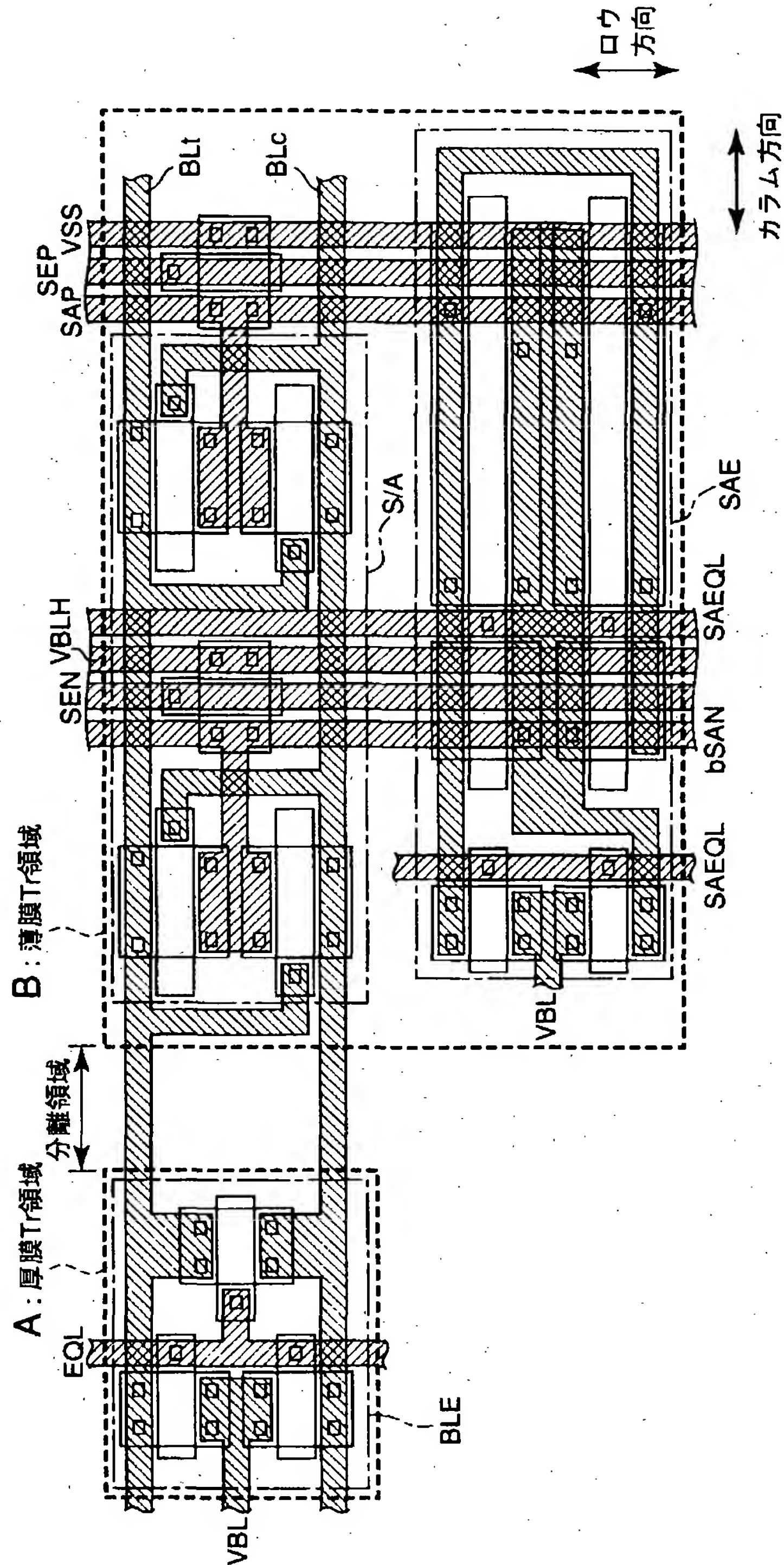
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 分離領域増大や駆動力低下がないS/Aイコライザを提案する。

【解決手段】 センスアンプS/Aは、データの読み／書きを行うためにビット線対BLt, BLcに接続される。ビット線イコライザBLEは、ビット線対BLt, BLcの電位をイコライズする。センスアンプイコライザSAEは、センスアンプS/Aの2つの電源ノードの電位をイコライズする。センスアンプイコライザSAEは、ゲート酸化膜の厚さが異なる2種類のMOSトランジスタから構成される。一方の種類のMOSトランジスタは、薄膜Tr領域内に形成され、他方の種類のMOSトランジスタは、厚膜Tr領域内に形成される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2003年 5月 9日

[変更理由] 名称変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝